

## APPARATUS FOR CONTROLLING IMAGE DATA COMPRESSION

Patent Number: JP2000318229  
Publication date: 2000-11-21  
Inventor(s): INAHO KAZUO;; KIKUCHI TOMOHIKO  
Applicant(s): HITACHI KOKI CO LTD  
Requested Patent: ☐ JP2000318229  
Application Number: JP19990126644 19990507  
Priority Number(s):  
IPC Classification: B41J5/30; G06F3/12  
EC Classification:  
Equivalents:

---

### Abstract

---

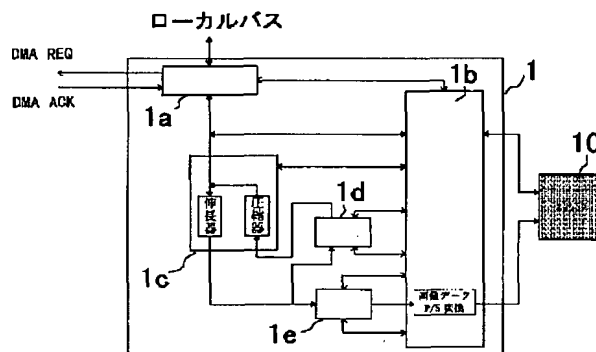
**PROBLEM TO BE SOLVED:** To realize an MOP function by eliminating a page buffer which is a great burden on price and circuit material resources without adding special circuits to raise the price of an apparatus.  
**SOLUTION:** A control method is made different between first printing after development and copy printing of an MOP or the like. In the first printing after development, bit map data after development is directly sent to an engine I/F control device 1 and printed. At the same time, a route whereby the bit map data can be transmitted to a compressor of a data expansion/compression controller 1c is formed and, the data is compressed and written back to a main memory. Accordingly, in the copy printing, image data compressed and stored in an HDD or the like is read back to the main memory, sent to the engine I/F control device 1, expanded by an expander of the data expansion/ compression controller 1c and printed.

---

Data supplied from the esp@cenet database - I2

(11) 特許出願公開番号

(43) 公開日 平成12年11月21日 (2000. 11. 21)



## 【特許請求の範囲】

【請求項 1】 プリンタ制御装置全体の管理やホストコンピュータから送られる印刷データに従い画像データの展開処理等の制御を行なうマイクロプロセッサと、マイクロプロセッサのワークエリア及びマイクロプログラムの格納エリアとして使用するメインメモリと、マイクロプロセッサとメインメモリ間のデータの読み出し／書き込みの制御及び受信制御部やエンジン I/F 制御部等の I/O アクセスの制御を行なうバスコントローラと、ホストコンピュータやネットワークを介して送信される印刷データを受信する受信制御部と、各種印刷データやマイクロプログラムの保管のためのハードディスクドライブ (HDD) と、HDD を制御する HDD コントローラと、各制御部から出されるメインメモリに対する DMA 要求の調停を行なう DMA アービタと、印刷を実施するためにメインメモリから画像データを読み出し、画像データのビデオデータへの変換と同タイミングでデータの圧縮を実施し、圧縮後のデータをメインメモリに書き戻す制御回路を持つエンジン I/F 制御装置とを有するプリンタ制御装置において、

画像データ展開後の最初の印刷時に、印刷と同時にデータ圧縮を実施して圧縮されたデータをメインメモリに戻す経路を設けたことを特徴とする画像データ圧縮制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、プリンタの画像データ圧縮制御装置に関するものである。

## 【0002】

【従来の技術】 図 4 にプリンタ制御装置の概略ブロック図を示す。2 はプリンタ制御装置全体の管理や上位コンピュータから送られる印刷データにより画像展開処理を行なうマイクロプロセッサ、3 はマイクロプロセッサとメインメモリ間のデータの読み出し／書き込みの制御や受信制御部、エンジン I/F 制御部等の I/O アクセスの制御を行うバスコントローラ、4 はマイクロプロセッサ 2 用のマイクロプログラムの格納やワークエリア、画像データの展開エリアとして使用するメインメモリ、5 はホストコンピュータ又はネットワーク等を介して送信される印刷データの受信処理を行なう受信制御部、6 は各制御部から出されるメインメモリ 4 に対する DMA (Direct Memory Access) 要求の調停を行なう DMA アービタ、7 は各種データを格納する HDD の制御を行なう HDD コントローラ、8 は HDD、1 はマイクロプロセッサ 2 の展開処理によってメインメモリ 4 上に展開された画像データを印刷機構部であるエンジンにビデオデータに変換して送出するエンジン I/F 制御部、9 は印刷データを生成して本印刷データをプリンタ制御装置に送出するホストコンピュータ、10 は実際に印刷を行なうエンジンである。

【0003】 続いて、エンジン I/F 制御部 1 の内部構成

について示す。

【0004】 1 a はマイクロプロセッサ 2 からのアクセスやエンジン I/F 制御部 1 からのアクセスを制御する I/O アクセスデコーダ & DMA コントローラ、1 b はエンジン I/F 制御部全体をコントロールするエンジン I/F メイン制御部、1 c は画像データの伸長/圧縮するデータ伸長/圧縮コントローラ、1 d は画像データを圧縮する時のバッファとして使う FIFO メモリ A、1 e は画像データを印刷する時の中間バッファとして使う頁メモリである。

【0005】 次に、図 5 により従来の印刷までの画像データの動きについて以下に示す。

【0006】 上位コンピュータから受信した印刷データによりメインメモリ 4 上に展開された画像データは、まずエンジン I/F 制御部 1 の FIFO メモリ A に送られる (301)。次に、FIFO メモリ A に書き込まれた画像データは順次圧縮器に読み出され圧縮されて圧縮後のデータはエンジン I/F 制御部 1 からメインメモリ 4 に戻される (302)。メインメモリ 4 に戻された圧縮データ 1 は、HDD に格納される (303)。印刷時には、HDD に格納されたデータは HDD からメインメモリ 4 にロードされる (304)。メインメモリ 4 にロードされた圧縮データ 2 は、エンジン I/F 制御部 1 の伸長器に送られる (305)。伸長器で伸長された画像データは頁メモリ 1 e にバッファされ、そのバッファされた伸長後の画像データは、順次画像データ P/S 変換部に読み出されビデオデータに変換されてエンジン 10 に送出される。上記に示すように展開された画像データは、必ず 301 ~ 305 のデータ処理が施されて印刷される。また、301 から 305 のデータ転送処理は、頁を単位とした DMA 処理で実施される。ところで、301 及び 305 の処理は、同一部位であるエンジン I/F 制御部 1 へのデータ転送のため、I/O アクセスデコーダ & DMA コントローラ 1 a の DMA 機能が "メインメモリ to エンジン I/F 制御部" と "エンジン I/F 制御部 to メインメモリ" の転送チャネルを各 1 チャネルずつしか持っていないことにより、同時には DMA 起動がかけられない処理であり、また、305 の処理は、印刷データの転送のため、リアルタイムに一頁の処理が必要になる。そこで、伸長器の出力部には、頁メモリ 1 e を設け、一頁の印刷データをエンジン I/F 制御部内 1 に確保したあとの一頁内の空き時間を使って 301 の画像データ伸長処理を行なうような処理の流れになっている。

【0007】 よって、従来のエンジン I/F 制御部には、数 MByte 程度の頁バッファと頁バッファを制御する回路を持たなければならなかった。そのため、回路物量、価格ともに増大し課題となっていた。

## 【0008】

【発明が解決しようとする課題】 プリンタ制御装置は、上位から送られてくる印刷データを画像データに展開してエンジンに印刷させるという基本的処理に加えて、MO

P (Multiple original printing) と言われるオリジナルコピーを自由に印刷できるように、展開後の画像データを圧縮してHDD等のメディアに格納しておくというような処理も行なっている。そのため、画像展開されたデータは、必ずデータ圧縮という処理を実行する。画像圧縮の処理は、S/Wで処理することも可能であるが安定した処理能力を確保するためH/W処理で実行している。本圧縮処理をするH/W部は、印刷時に伸長処理をするのが一連の処理のため、伸長処理部と同一部位であるエンジンI/F制御部に構成される。

【0009】データ転送の単位は、頁単位であり、また、エンジンI/F制御部のエンジンI/F制御部とメインメモリ間のデータ転送制御をするDMAコントローラが、各転送方向毎に1チャネルの制御しかできないので、印刷のためのメインメモリからのデータ読み出しとデータ圧縮のためのメインメモリからのデータ読み出しを同時に起動を掛けて実行させることはできない。よって、一頁の時間内に上記両方の処理を実行するため、印刷時には、一頁分のデータを一気にエンジンI/F制御部に転送できるように数MBytesの容量を超える頁メモリを設け、上記印刷データの転送が終了後に圧縮データの転送を実行している。

【0010】本発明の目的は、装置の価格がアップするような特別な回路を追加することなく上記のような価格及び回路物量に大きな負荷となる頁バッファをなくしてもMOP機能を実現できるようにすることである。

【0011】

【課題を解決するための手段】上位のホストコンピュータから送られる印刷データに従い、プリンタ制御装置で展開された画像データは必ず印刷されることになる。本印刷において、展開後の最初の印刷とMOP等のコピー印刷での制御方法を分ける。展開後の最初の印刷では、展開後のビットマップデータそのものをエンジンI/F制御装置に送出して印刷し、それと同時にそのビットマップデータを圧縮器に送信できる経路を作り圧縮してメインメモリに書き戻すようにする。コピー印刷では、圧縮されてHDD等に格納された画像データをメインメモリに読み戻し、そのデータをエンジンI/F制御装置に送出し伸長器で伸長して印刷する。

【0012】上記の方法で画像データの圧縮を施すようにすることにより、エンジンI/F制御部に頁バッファを持つことなく一頁の印刷時間内に、印刷と画像データの圧縮ができるようになる。

【0013】

【発明の実施の形態】図1に本発明におけるエンジンI/F制御部の概略ブロック図を示す。従来のエンジンI/F制御部では、頁バッファであった中間バッファがFIFOメモリB 1eになり、また、従来のエンジンI/F制御部では、圧縮器用の中間バッファであったFIFOメモリA 1dの書き込みバスが伸長器の出力側に接続されるようになる。

【0014】以下に、本発明における印刷とデータ圧縮の流れを示す。展開後最初の印刷については図2に示すように、まず、メインメモリ4上に展開された画像データは、エンジンI/F制御部1内の伸長器に送られる(101)。送られたデータは、伸長器を経由して同一タイミングで印刷のための中間バッファであるFIFOメモリBとデータ圧縮のための中間バッファであるFIFOメモリA 1dに書込まれる。ここで上記伸長器は、圧縮されていないデータを処理するため、パススルーモードで動作させる。FIFOメモリB 1eに書込まれたデータは、印刷に同期して順次FIFOメモリBからデータが読み出され画像データP/S変換部でビデオデータに変換されてエンジンに送られる。FIFOメモリA 1dに書込まれたデータは、順次読み出されて圧縮器に送られ、圧縮器で圧縮の終了したデータは、順にメインメモリに書き戻される(102)。よって、一頁の印刷が終了するまでに本画像データの圧縮も終了することになる。圧縮されてメインメモリ4に戻された圧縮データ1は、HDD8に格納される(103)。

【0015】圧縮後の印刷については図3「圧縮後データの印刷までの流れ図」に示すように、まず、HDD8に格納されている圧縮データをメインメモリ4に読み出す(201)。読み出された圧縮データ2は、エンジンI/F制御部1内の伸長器に送られる(202)。送られたデータは伸長器で伸長処理を施され、伸長された順にFIFOメモリB 1eに書込まれる。FIFOメモリB 1eに書込まれたデータは、印刷に同期して順次FIFOメモリB 1eからデータが読み出され画像データP/S変換部でビデオデータに変換されてエンジンに送られる。

【0016】上記の手段により、頁バッファをエンジンI/F制御部内に持つことなく、一頁の印刷時間内に印刷とデータ圧縮の処理が可能になる。

【0017】

【発明の効果】本発明によれば、展開された画像データの印刷処理と圧縮処理が、一頁の印刷時間内に数MBytes以上の頁バッファを持つことなく処理できるようにしたので、多大な原価低減が図れる。

【図面の簡単な説明】

【図1】 本発明におけるエンジンI/F制御部の概略ブロック図である。

【図2】 画像データの最初の印刷時の印刷とデータ圧縮の流れ図である。

【図3】 圧縮後データの印刷までの流れ図である。

【図4】 従来のエンジンI/F制御部を含んだプリンタ制御装置の概略ブロック図である。

【図5】 従来の画像データの圧縮と印刷までの流れ図である。

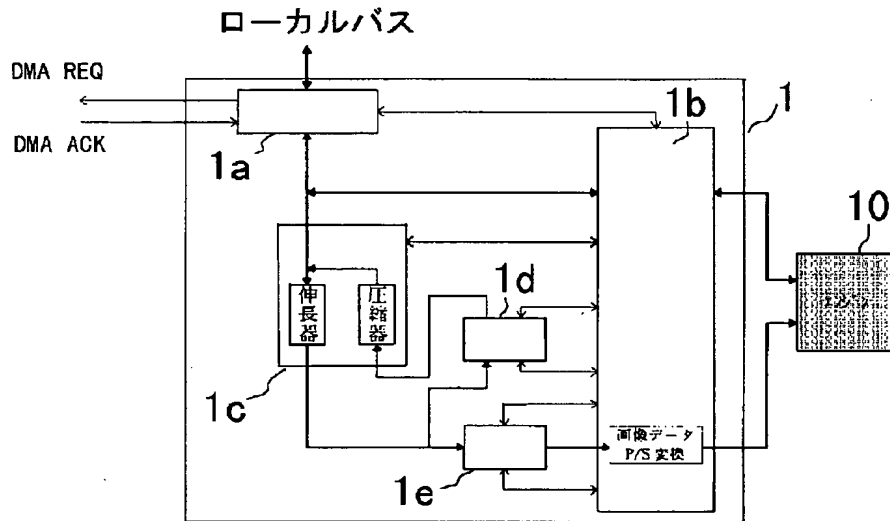
【符号の説明】

1：エンジンI/F制御部、1a：I/Oアクセスデコーダ& DMAコントローラ、1b：エンジンI/Fメイン制御

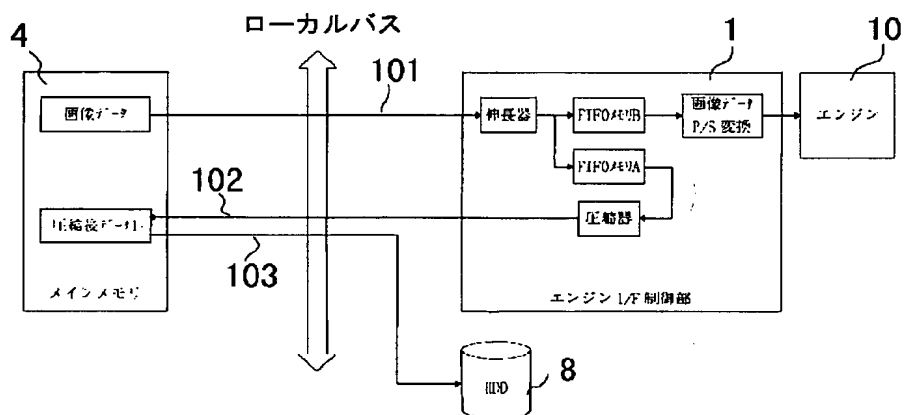
部、1c:データ伸長/圧縮コントローラ、1d:FIFOメモリA、1e:FIFOメモリB、2:マイクロプロセッサ、3:バスコントローラ、4:メインメモリ、5:受

信制御部、6:DMAアービタ、7:HDDコントローラ、8:HDD、9:ホストコンピュータ、10:エンジン。

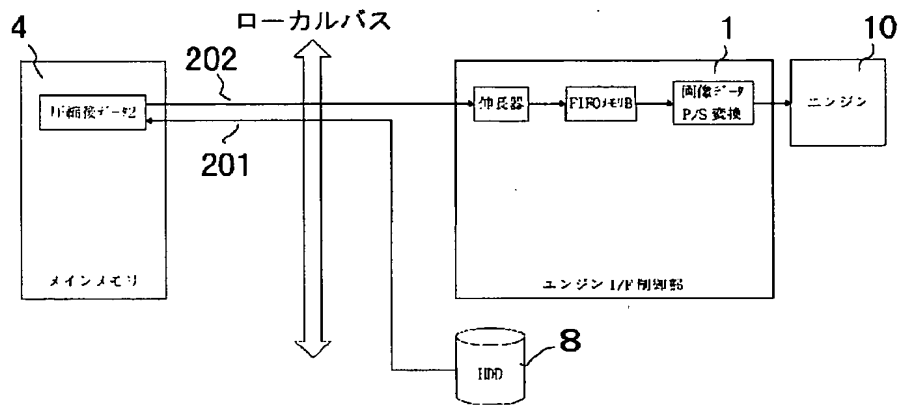
【図1】



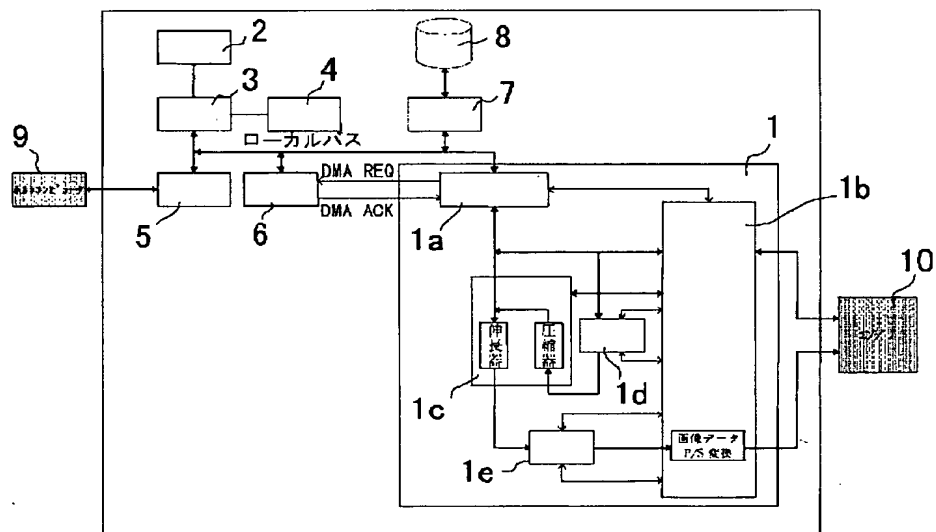
【図2】



【図3】



【図4】



【図5】

